

Michael Herfurth

Ansteuerschaltungen für SIPMOS-Transistoren im Schaltbetrieb

Die Leitfähigkeit eines SIPMOS-Transistors wird von der Gate-Source-Spannung bestimmt. Ein Steuerstrom ist nur erforderlich, um die aufbaubedingte Eingangskapazität auf die gewünschte Steuerspannung zu laden. Demzufolge sind für schnelle Schaltvorgänge kurzzeitig größere Umladeströme nötig, die unter anderem davon abhängen, was die Ansteuerschaltung zu leisten vermag. Die Ansteuerschaltung soll natürlich eine möglichst geringe Leistung aufnehmen und kurze Verzögerungszeiten aufweisen, da diese sich für die Regel- und Überwachungselektronik wie Totzeiten verhalten. Im folgenden werden einige Ansteuerschaltungen vorgestellt, die diese Anforderungen gut erfüllen.

Ansteuerverhalten von SIPMOS-Transistoren

Der SIPMOS-Transistor ist ein selbst-sperrender N-Kanal-MOS-FET, bei dem solange kein Strom zwischen Drain und Source fließen kann, wie keine positive Gate-Source-Spannung entsteht. Erst wenn die Schwellenspannung von etwa 1,5 bis 2 V (Bild 1) überschritten wird, kann sich ein leitender Kanal zwischen Drain und Source ausbilden. Abhängig von der Steuerspannung wird dieser leitfähige Kanal bei einem bestimmten Drainstrom eingeschnürt, so daß unabhängig von der Drain-Source-Spannung nur mehr ein konstanter Strom fließen kann. Diesen Zusammenhang zeigt das Ausgangskennlinienfeld $I_D = f(U_{DS})$ in Bild 2.

Für die Erklärung der dynamischen Vorgänge in SIPMOS-Transistoren ist es zweckmäßig, das Ersatzschaltbild (Bild 3) zu betrachten:

Zwischen den Kapazitätswerten des Ersatzschaltbildes besteht bei Vernachlässigung von R_G und R_{DS} der folgende Zusammenhang:

Eingangskapazität

$$C_{iss} = C_{Mi} + C_{GS}$$

Ausgangskapazität

$$C_{oss} = C_{Mi} + C_{DS}$$

Rückwirkungskapazität

$$C_{rss} = C_{Mi} + \frac{C_{DS} \cdot C_{GS}}{C_{DS} + C_{GS}}$$

Während C_{GS} spannungsunabhängig ist, sind C_{Mi} und C_{DS} abhängig von der angelegten Drain-Source-Spannung. Typenabhängig liegt C_{GS} in einer Größenordnung von 50 bis 500 pF. Für $U_{DS} > U_{GS}$ liegt C_{DS} in einen Wertebereich von 100 bis 500 pF, für $U_{DS} < U_{GS}$ erreicht C_{DS} Werte bis zu 1 nF. Den größten Einfluß auf das Ansteuerverhalten hat die Millerkapazität C_{Mi} . Bei $U_{DS} > U_{GS}$ liegt ihr Wert im Bereich von 50 bis 500 pF, bei $U_{DS} < U_{GS}$ hingegen wird sprunghaft eine Kapazität bis zu 4,5 nF wirksam. Die Kapazitäten sind temperaturunabhängig und haben nur geringe Laststromabhängigkeit. Bei Typen mit ho-

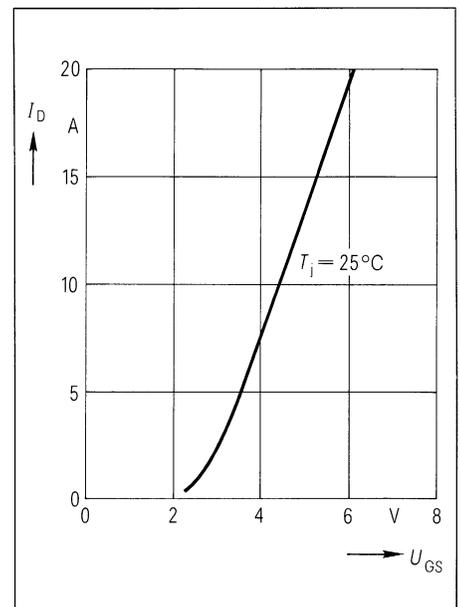


Bild 1 Übertragungskennlinie $I_D = f(U_{GS})$ eines SIPMOS-Transistors

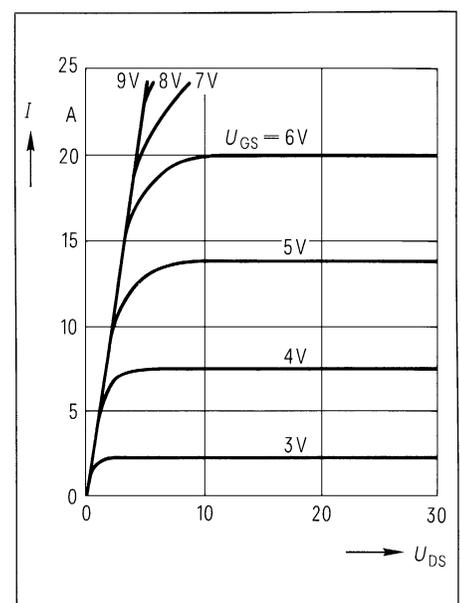


Bild 2 Ausgangscharakteristik eines SIPMOS-Transistors

Dipl.-Ing. Michael Herfurth, Siemens AG, Bereich Bauelemente, Anwendungstechnik, München

her Sperrspannung sind die Kapazitäten größer als bei solchen mit niedriger Sperrspannung.

R_G ist der durch den inneren Aufbau des Transistors bedingte Gatewiderstand. Er liegt in Reihe mit dem Gateanschluß und verhindert einen genügend hohen Strom zur beliebig schnellen Umladung der SIPMOS-Kapazitäten. R_G liegt in der Größenordnung von 10 bis 20 Ω . R_{DS} stellt den Drain-Source-Widerstand dar. Im durchgeschalteten Zustand liegt er in der Größenordnung von 0,03 bis 2 Ω .

Auf eine Besonderheit bei der Ansteuerung von SIPMOS-Transistoren sei hier noch hingewiesen: Grundsätzlich ist es möglich, SIPMOS-Transistoren sehr hochohmig anzusteuern. Dabei muß ein Gate-Source-Leckstrom von maximal 100 nA berücksichtigt werden. Sobald aber dynamische Drain-Source-Spannungsänderungen auftreten, wie dies etwa bei Einschaltvorgängen und bei Gegentaktschaltungen der Fall ist, dürfen die kapazitiven Ströme im SIPMOS-Transistor nicht vernachlässigt werden.

Ein Beispiel (Bild 4) soll dies anschaulich machen: Angenommen, es muß mit einem Drain-Source-Spannungsanstieg von 100 V/ μ s gerechnet werden, dann beträgt der kapazitive Strom durch eine Millerkapazität von 50 pF

$$i_c = C \frac{du_c}{dt} = 50 \text{ pF} \cdot 100 \text{ V}/\mu\text{s} = 5 \text{ mA}$$

Beträgt die Durchlaßspannung des Ansteuertransistors $U_{CE} = 0,5 \text{ V}$ und soll die Spannungserhöhung an C_{GS} 1 V nicht überschreiten (damit der SIPMOS-Transistor mit $U_{GS} = 1,5 \text{ V}$ noch sicher gesperrt bleibt), so darf der Innenwiderstand R_i der Ansteuerschaltung nicht mehr als

$$R_i = \frac{1,5 \text{ V} - 0,5 \text{ V}}{5 \text{ mA}} - R_G$$

$$= 200 \Omega - 10 \Omega = 190 \Omega \text{ betragen.}$$

Es empfiehlt sich auch, zwischen Gate und Source eine Diode D1 vorzusehen, da bei negativen Drain-Source-Spannungsänderungen am Gate eine negative Spannung entsteht, die den SIPMOS-Transistor unter Umständen zerstören könnte.

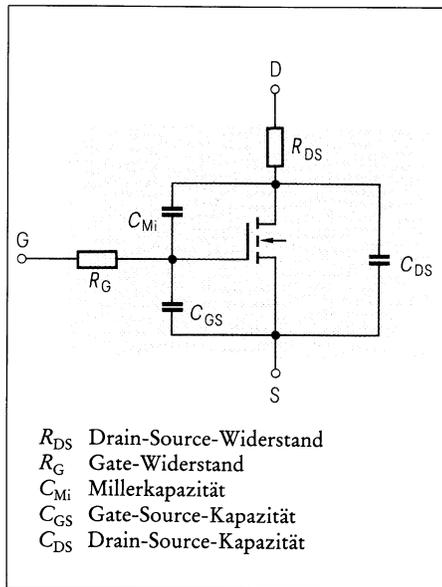


Bild 3 Ersatzschaltbild des SIPMOS-Transistors

- R_{DS} Drain-Source-Widerstand
- R_G Gate-Widerstand
- C_{Mi} Millerkapazität
- C_{GS} Gate-Source-Kapazität
- C_{DS} Drain-Source-Kapazität

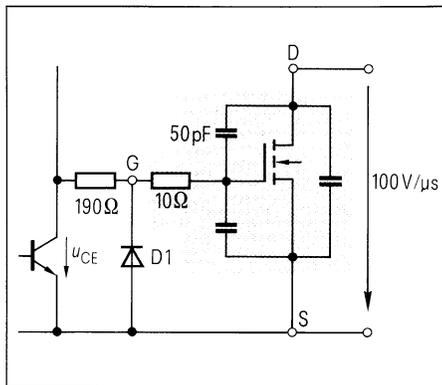


Bild 4 Schaltung zur Demonstration der Millerkapazität bei Drain-Source-Spannungsänderungen

Kritisch sind besonders solche Ansteuerschaltungen, die ohne Betriebsspannung nicht in der Lage sind, die Gate-Source-Spannung unter der Schwellenspannung von 1,5 bis 2 V zu halten, weil beim Einschalten in der Regel am SIPMOS-Transistor früher Spannung ansteht als an der Ansteuerschaltung. Hinzu kommt, daß zu Beginn des Einschaltvorgangs die dynamisch vergrößerte Millerkapazität wirksam ist.

Beschreibung der Ansteuerschaltungen

Bei den hier beschriebenen Ansteuerschaltungen wurde davon ausgegangen, daß als Steuer- und Regelbaustein die Schaltnetzteil-Gegentakt-IS TDA 4700 eingesetzt wird. Diese IS besitzt aus-

gangsseitig offene Kollektoranschlüsse und ist Low-aktiv, d.h. am Gate eines nachgeschalteten SIPMOS-Transistors soll dann ein positives Steuersignal anstehen, wenn die Ausgangstransistoren der IS TDA 4700 durchgeschaltet sind. Damit muß zwischen der TDA 4700 und dem SIPMOS-Transistor eine Umkehrstufe liegen. Diese Umkehrstufe wird als Treiberstufe für den SIPMOS-Transistor ausgeführt und als Ansteuerschaltung bezeichnet.

Nachfolgend werden einige Ansteuerschaltungen vorgestellt. Sie werden von der Schaltnetzteil-Gegentakt-IS TDA 4700 mit einer Taktfrequenz von 100 kHz angesteuert. Drain and Source des angesteuerten SIPMOS-Transistors sind kurzgeschlossen, was für die Ansteuerschaltungen der ungünstigste Belastungsfall ist, weil sich hier die größte Eingangskapazität ergibt. Der Gate-Serienwiderstand beträgt etwa 10 Ω und für die Eingangskapazität C_{iss} wurde bei $U_{DS} = 0$ ein Wert von 3,3 nF gemessen.

Die aufgenommene Leistung der Ansteuerschaltungen wurde für den ungünstigsten Betriebsfall, in der Regel bei größter Einschaltdauer

$$\frac{T_{ein}}{T} = \frac{3,6 \mu\text{s}}{10 \mu\text{s}} \text{ angegeben.}$$

Ebenfalls gemessen wurden die Signallaufzeiten der Ansteuerschaltungen, wobei als Einschaltverzögerungszeit $t_{d \text{ ein}}$ die Zeit definiert ist, die zwischen dem Zeitpunkt liegt, bei welchem die Eingangsspannung auf 90% des Ausgangswertes gesunken ist, und dem, bei welchem die Ausgangsspannung auf 10% des Endwertes gestiegen ist. Entsprechend ist als Ausschaltverzögerungszeit $t_{d \text{ aus}}$ die Zeit definiert, die zwischen dem Zeitpunkt liegt, bei welchem die Eingangsspannung auf 10% des Endwertes gestiegen ist, und dem, bei welchem die Ausgangsspannung auf 90% des Endwertes gesunken ist.

Schaltung 1 Gegentakt-Transistoransteuerung (Bild 5)

Sobald der Ausgangstransistor der IS TDA 4700 durchschaltet, steht an der Basis von T1 die durch den Spannungsteiler R1, R2 bestimmte Spannung an. Der Spannungsteiler kann hier nicht

hochohmiger dimensioniert werden, damit T1 einen großen Kollektorstrom führen kann, der durch den Emitterwiderstand R3 begrenzt wird. Die Dioden D1 und D2 verhindern, daß T1 in die Sättigung gelangt, während D3 bewirkt, daß T2 sicher gesperrt ist, solange T1 leitet. Sperrt der Ausgangstransistor der TDA 4700, so sperrt T1 ebenfalls und T2 wird über R4 angesteuert, wobei die Eingangskapazität des SIPMOS-Transistors über T2 und R5 als Strombegrenzungswiderstand entladen wird.

Diese Schaltung zeichnet sich durch geringe Stromaufnahme infolge der Gegentakt-Ansteuerung aus. Eine weitere Erhöhung der Gate-Ladeströme von knapp 200 mA bei dieser Schaltung durch Verwendung stärkerer Transistoren ist nicht sinnvoll, weil dann die Widerstände niederohmiger dimensioniert werden müßten, um die nötigen Steuerströme für die beiden Transistoren liefern zu können, was die Leistungsaufnahme unnötig erhöhen würde. Für größere Gate-Ladeströme sind Darlingtonschaltungen geeigneter.

Schaltung 2 Gegentaktansteuerung in Komplementär-Darlingtonschaltung (Bild 6)

Sobald der Ausgangstransistor der IS TDA 4700 durchschaltet, wird T1, dessen Emitterstrom durch R3 begrenzt wird, leitend und steuert T3 über D3 an. Gleichzeitig erhält die Basis von T2 gegenüber dessen Emitter ein positives Potential, wodurch T2 sicher gesperrt wird und T4 durch R7 ebenfalls. Die Dioden D1 und D2 verhindern, daß T1 in die Sättigung gelangt. Sperrt der Ausgangstransistor der TDA 4700, so sperren T1 durch R1 und T3 durch R5 ebenfalls. Die in der Eingangskapazität des SIPMOS-Transistors gespeicherte Ladung fließt über T2 und R4 ab, wobei T4 durch T2 angesteuert wird und den Entladevorgang beschleunigt. Prinzipiell könnte auf D3 und R5 verzichtet werden, jedoch wird dann bei schmalen Impulsbreiten T3 in einer Weise übersteuert, daß durch die Speicherzeit die Ausgangsimpulse wieder breiter werden.

Diese Schaltung zeichnet sich dadurch aus, daß sie eine geringe Stromaufnahme für den Eigenbedarf benötigt und gleichzeitig große Steuerströme zu lie-

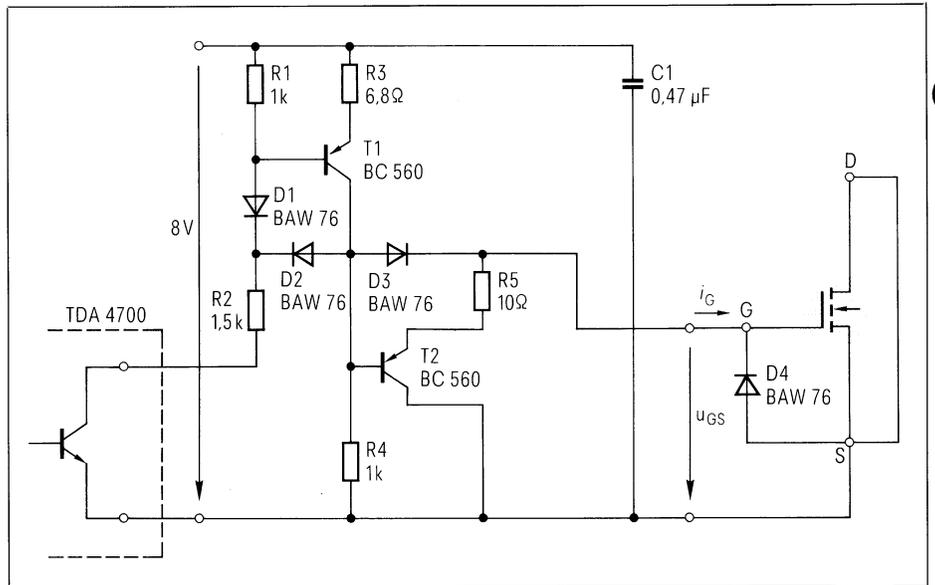


Bild 5 Gegentakt-Transistoransteuerung eines SIPMOS-Transistors

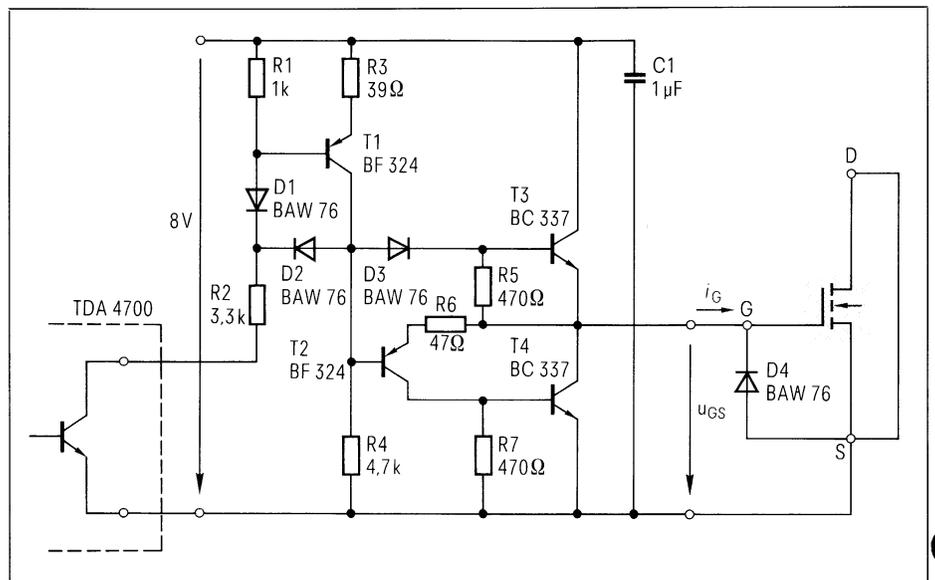


Bild 6 Gegentaktsteuerung in Komplementär-Darlingtonschaltung

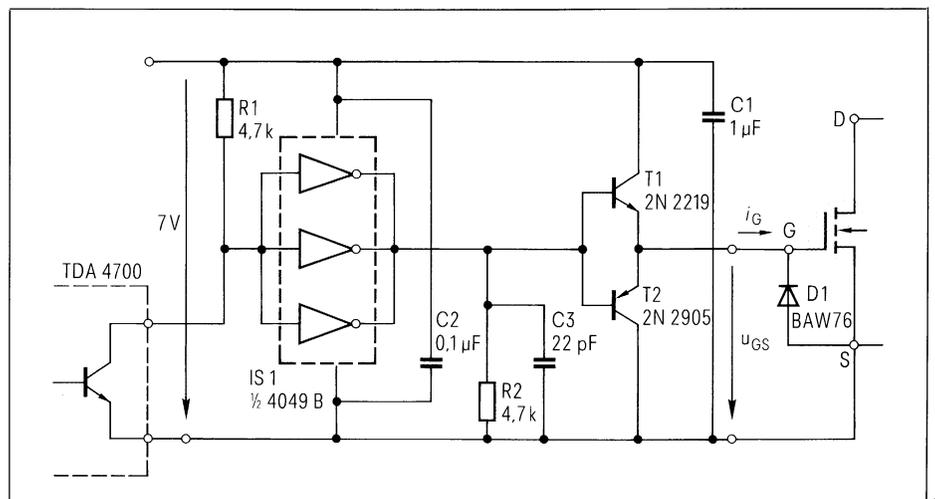


Bild 7 Gegentaktsteuerung mit komplementären Transistoren und CMOS-Treiber

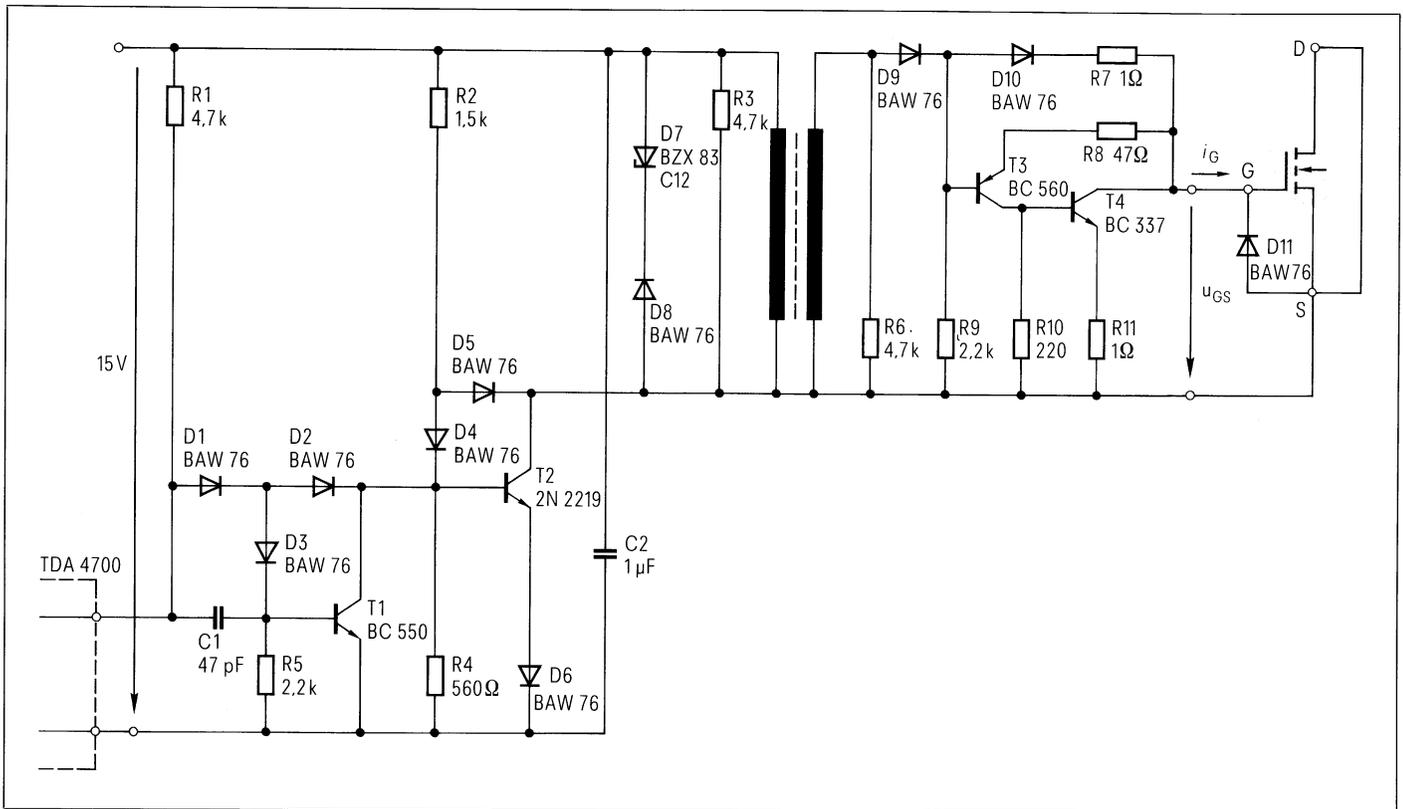


Bild 8 Ansteuerung eines SIPMOS-Transistors mit Potentialtrennung durch Übertrager, primärseitig mit Transistoransteuerung und sekundärseitig mit einer Transistor-Entladeschaltung

fern vermag. Sie ist besonders dafür geeignet, SIPMOS-Transistoren mit hoher Schaltfolge bzw. im Parallelbetrieb anzusteuern. Mögliche Gate-Source-Spannungsüberschwingungen können durch einen Serienwiderstand in der Größenordnung von 1 bis 4,7 Ω verhindert werden.

Schaltung 3 Gegentaktansteuerung mit komplementären Transistoren und CMOS-Treiber (Bild 7)

Der CMOS-Inverter IS 1 dient als Phasenumkehrstufe für das Ausgangssignal der IS TDA 4700 und gleichzeitig als Treiberstufe für die Transistoren T1 und T2. Damit der CMOS-Treiber vor allem im H-Pegel genügend Strom für T1 und T2 liefern kann, sind drei Inverter parallel geschaltet. Die übrigen drei Inverter können beispielsweise für den zweiten Ausgang bei Gegentaktansteuerungen verwendet werden. R2 dient dazu, T2 für den Fall anzusteuern, daß sich am Gate des SIPMOS-Transistors ein Potential bildet (z.B. bei Einschaltvorgängen), während die Ansteuerschaltung nicht oder nicht ausreichend mit Spannung versorgt wird. Damit wird verhindert, daß der SIPMOS-Transistor unbeabsichtigt

durchsteuert. C3 verkürzt die Zeitkonstante $R_2 C_{BE} (T_2)$, kann aber bei den meisten Anwendungen entfallen.

Diese Schaltung ist in ihrer Leistungsfähigkeit ähnlich wie die Schaltung 2.

Schaltung 4 Ansteuerung mit Potentialtrennung durch Übertrager (Bild 8)

T1 dient als Phasenumkehrstufe. T2 wird von R2 angesteuert und kann von T1 sehr rasch gesperrt werden. Die Dioden D2, D3 und D4, D5 verhindern, daß die Transistoren in die Sättigung gelangen. D1 und D6 erhöhen durch ihre Schwellenspannung das Eingangspotential der Transistoren, damit diese sicher gesperrt werden können. Die Widerstände R1, R5, R2 und R4 sind so dimensioniert, daß T2 während des Ansteigens der Versorgungsspannung nicht unbeabsichtigt leitend wird. D7 und D8 werden zur Entmagnetisierung des Übertragers benötigt. R3 dient der Dämpfung möglicher Schwingungen, die bei der Entmagnetisierung auftreten können.

Aus demselben Grund ist auch R6 vorgesehen. D10 bewirkt, daß T3 und damit auch T4 sicher gesperrt sind,

sobald an der Sekundärwicklung eine positive Spannung auftritt, weil dadurch das Basispotential von T3 positiver als dessen Emitterpotential wird. D9 verhindert, daß die beim Entmagnetisieren an der Sekundärwicklung auftretende negative Spannung an die Basis von T3 gelangt und dadurch die Entmagnetisierung beeinflusst. Wenn die Spannung an der Sekundärwicklung kleiner wird als die Spannung an der Eingangskapazität des SIPMOS-Transistors, wird T3 über R9 angesteuert und damit auch T4, wodurch die Eingangskapazität des SIPMOS-Transistors entladen wird. R7 und R11 dienen zur Dämpfung von Schwingungen, die durch die Leitungsinduktivität in Verbindung mit der Eingangskapazität des SIPMOS-Transistors auftreten können, wobei unter Umständen auch größere Werte (etwa 4,7 Ω) vorgesehen werden müssen.

Diese Schaltung vermag große Steuerströme zu liefern, so daß auch mehrere SIPMOS-Transistoren gleichzeitig angesteuert werden können.

Sollen mehrere SIPMOS-Transistoren potentialgetrennt angesteuert werden, kann man weitere Sekundärwicklungen

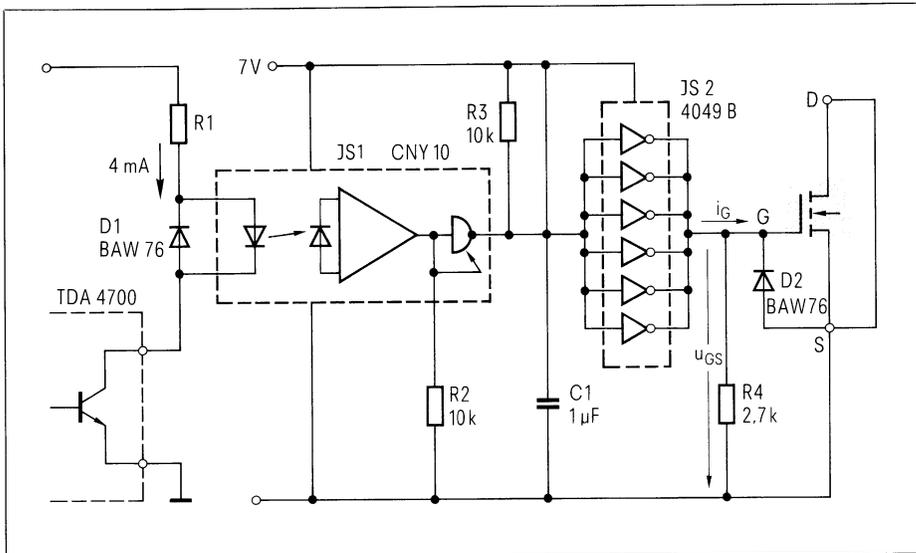


Bild 9 Ansteuerung mit Potentialtrennung durch Optokoppler

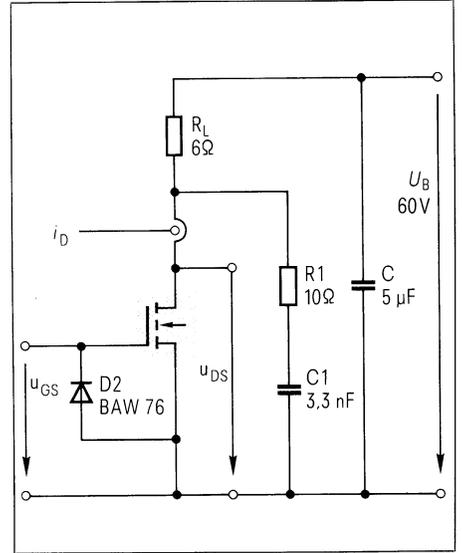


Bild 10 Meßschaltung für den Betrieb eines SIPMOS-Transistors mit ohmscher Last

Tabelle 1 Betriebsdaten der vorgestellten Ansteuerschaltungen

Schaltung	Betriebsspannung V	max. Stromaufnahme mA	Leistungsaufnahme mW	Verzögerungszeiten		Gate-Source-Spannung V	Gatestromspitzen	
				$t_{d\text{ ein}}$ ns	$t_{d\text{ aus}}$ ns		Ein mA	Aus mA
1	8	7	56	30	80	7	160	170
2	8	5	40	40	40	6,5	500	500
3	7	5	35	80	80	6,5 (max. 8,5)	500	700
4	15	21	315	30	35	7,5	350	500
5	7	24	168	130	100	7	120	350

vorsehen. Für jede Sekundärwicklung ist eine Entladeschaltung notwendig.

Schaltung 5 Ansteuerung mit Potentialtrennung durch Optokoppler (Bild 9)

Sobald der Ausgangstransistor der IS TDA 4700 durchschaltet, wird die Photodiode im Optokoppler IS1 angesteuert. R1 wird so dimensioniert, daß dabei ein Strom von etwa 4 mA fließt. D1 hält die beim Abschalten infolge der Leitungsinduktivitäten auftretenden Spannungsspitzen von der Photodiode fern.

Empfängerseitig wird die Schaltung mit einer potentialfreien Gleichspannung von 6 bis 7 V versorgt, was natürlich einen zusätzlichen Aufwand erfordert. Sofern die Steuerlogik aus einem separaten Netzteil versorgt wird, stellt es kein Problem dar, diese potentialfreie Gleichspannung aus eben diesem Netzteil zu gewinnen. Voraussetzung ist natürlich eine gute Isolation im Trenntrafo.

Über R2 wird der Gate-Anschluß des Optokopplers an Masse gelegt, wodurch erreicht wird, daß der Ausgang

bis zu einer Versorgungsspannung von 4 V offen ist, d.h. beide Gegentakt-Ausgangstransistoren bleiben solange

Tabelle 2 Schaltzeiten des SIPMOS-Transistors bei ohmscher Last und verschiedenen Ansteuerbedingungen

Schaltung	Fallzeit t_f	Anstiegszeit t_r	gesamte Einschaltzeit t_{ein}	gesamte Ausschaltzeit t_{aus}
	ns	ns	ns	ns
Schaltung 1	60	40	120	200
Schaltung 3	30	10	70	80
Schaltung 3 mit $R_i = 47 \Omega$	200	100	260	200
Schaltung 3 mit $R_i = 220 \Omega$	800	700	900	1200
Schaltung 3 mit $R_i = 1 k$	2000	4000	2200	6000
Schaltung 4	30	10	90	90

Die Anstiegszeit und die Fallzeit sind hier für die Schaltflanken des SIPMOS-Transistors (U_{DS} zwischen 10 und 90% des Endwertes) angegeben, während als gesamte Einschaltzeit und gesamte Ausschaltzeit die Zeit angegeben ist, die zwischen der Einleitung des Schaltvorganges am Eingang der Ansteuerschaltung und dessen Beendigung am Ausgang des SIPMOS-Transistors vergeht. R_i ist der in Serie zum Gate liegende Generatorinnenwiderstand, der eine höherohmige Ansteuerung bewirken soll.

gesperrt. Diese Maßnahme ist notwendig, weil der Optokoppler beim Ansteigen der Versorgungsspannung bis etwa 3 V ausgangsseitig den L-Pegel hält, wodurch der nachgeschaltete Invertierer IS2 den SIPMOS-Transistor ansteuern würde. In der Betriebsphase, in der der Ausgang des Optokopplers offen ist, wird der Eingang des Invertierers IS2 durch R3 auf H-Pegel gehalten, so daß an dessen Ausgang L-Pegel erscheint, sobald das CMOS-Gatter bei etwa 2 V betriebsbereit ist.

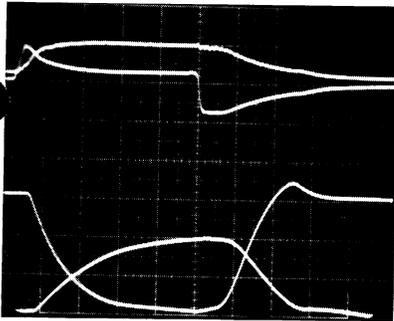
R4 hält das Gatepotential des SIPMOS-Transistors auf Null, solange das CMOS-Gatter noch nicht betriebsbereit ist.

Mit dieser Schaltung ist eine beliebig lange Einschaltdauer bei potentialgetrennter Ansteuerung möglich.

Ansteuerung des SIPMOS-Transistors bei ohmscher Last

Für die Ansteuerung bei ohmscher Last wurde ein SIPMOS-Transistor

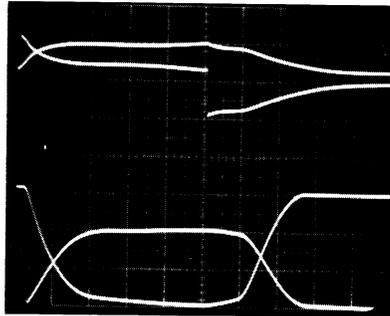
mit einer Drain-Source-Sperrspannung von 100 V verwendet, der einen maximalen Drainstrom von 15 A führen kann. Die Eingangskapazität C_{iss} ($C_{Mi} + C_{GS}$) beträgt bei $U_{DS} = 0$ etwa 3,3 nF (gemessen). Der Gate-Serienwiderstand beträgt etwa 10 Ω und für den Durchlaßwiderstand wurden etwa 0,1 Ω ermittelt. Die Last bestand aus einem 6- Ω -Widerstand. Bei einer Betriebsspannung von 60 V ergab sich ein maximaler Drainstrom von 10 A (siehe Bild 10).



Ansteuerung mit Schaltung 3
erhöhter Generatorinnenwiderstand
 $R_i = 47 \Omega$

SIPMOS mit ohmscher Last

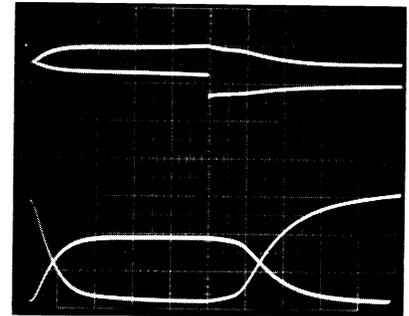
a	Gate-Source-Spannung	5 V/T
b	Gatestrom	100 mA/T
c	Drain-Source-Spannung	20 V/T
d	Drainstrom	5 A/T
	Zeitmaßstab	100 ns/T



Ansteuerung mit Schaltung 3
erhöhter Generatorinnenwiderstand
 $R_i = 220 \Omega$,

SIPMOS mit ohmscher Last

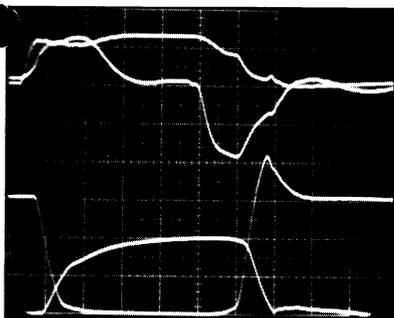
a	Gate-Source-Spannung	5 V/T
b	Gatestrom	20 mA/T
c	Drain-Source-Spannung	20 V/T
d	Drainstrom	5 A/T
	Zeitmaßstab	500 ns/T



Ansteuerung mit Schaltung 3
erhöhter Generatorinnenwiderstand
 $R_i = 1 k$,

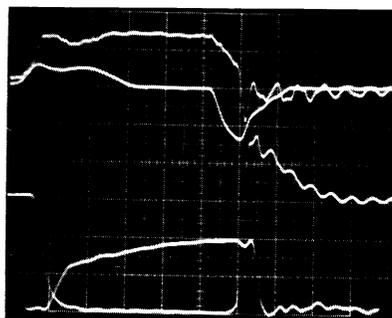
SIPMOS mit ohmscher Last

a	Gate-Source-Spannung	5 V/T
b	Gatestrom	10 mA/T
c	Drain-Source-Spannung	20 V/T
d	Drainstrom	5 A/T
	Zeitmaßstab	2 μ s/T



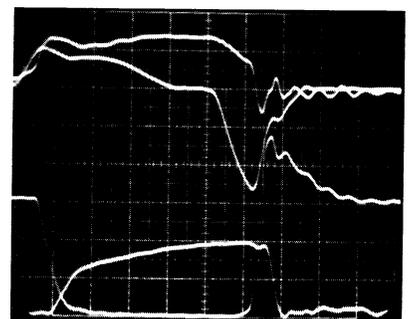
Ansteuerung mit Schaltung 1
Gegentakt-Transistoransteuerung
SIPMOS mit ohmscher Last

a	Gate-Source-Spannung	5 V/T
b	Gatestrom	100 mA/T
c	Drain-Source-Spannung	20 V/T
d	Drainstrom	5 A/T
	Zeitmaßstab	100 ns/T



Ansteuerung mit Schaltung 3
Komplementär-Transistoransteuerung mit
CMOS-Treiber
SIPMOS mit ohmscher Last

a	Gate-Source-Spannung	5 V/T
b	Gatestrom	500 mA/T
c	Drain-Source-Spannung	20 V/T
d	Drainstrom	5 A/T
	Zeitmaßstab	50 ns/T



Ansteuerung mit Schaltung 4
Ansteuerung mit Potential-Trennung durch
Übertrager, primärseitig mit Transistoran-
steuerung,
SIPMOS mit ohmscher Last

a	Gate-Source-Spannung	5 V/T
b	Gatestrom	200 mA/T
c	Drain-Source-Spannung	20 V/T
d	Drainstrom	5 V/T
	Zeitmaßstab	50 ns/T

Bild 11 Schaltverhalten eines SIPMOS-Transistors bei ohmscher Last unter verschiedenen Ansteuerbedingungen.

Die Kurvenverläufe a, b, c, d sind jeweils in der Bildmitte von oben nach unten betrachtet. Wichtig! Infolge unterschiedlicher Laufzeiten ist der Drainstrom um 20 ns verzögert dargestellt.

Die Ansteuerung eines SIPMOS-Transistors bei ohmscher Last wurde nicht mit allen Schaltungen durchgeführt. Es wurden drei charakteristische Schaltungen herausgegriffen: Schaltung 1 als einfache Ansteuerung mit zwei Transistoren, Schaltung 3 als leistungsfähige und verlustleistungsarme Ansteuerung mit CMOS-Gatter und Komplementär-Transistortreiber sowie Schaltung 4 als Beispiel für eine potentialgetrennte Ansteuerung.

Darüber hinaus wurde unter Verwendung der Schaltung 3 untersucht, wie sich eine höherohmige Ansteuerung auf das Schaltverhalten des SIPMOS-Transistors auswirkt, indem zwischen Ansteuerschaltung und SIPMOS-Transistor ein Serienwiderstand in die Gateleitung eingefügt wurde, um den Generatorinnenwiderstand zu erhöhen.

Bei der Ansteuerung mit ohmscher Last am SIPMOS-Transistor ist grundsätzlich zu erwarten, daß der Gate-Lade- und Entladestrom infolge der sich ändernden Millerkapazität verschiedenartig verläuft. Für die Gegenüberstellung der Ansteuerschaltungen in **Tabelle 1** war der Drainanschluß mit dem Sourceanschluß aus Gründen einer objektiven Messung kurzgeschlossen, weshalb die Millerkapazität ständig ihren Maximalwert annahm. Dadurch stellte sich beim Lade- und Entladestrom ein nahezu identischer Kurvenverlauf ein.

Schließlich wurden noch die Schaltflanken des SIPMOS-Transistors gemessen sowie die Schaltzeiten, die sich zwischen der Einleitung des Schaltvorganges am Eingang der Ansteuerschaltung bis zu seinem Abschluß am Ausgang des SIPMOS-Transistors ergeben. Die Werte sind in der **Tabelle 2** zusammengefaßt. Es sei noch darauf hingewiesen, daß diese Werte typen- und lastabhängig sind und deshalb nur als Anhaltswerte und nicht als Absolutwerte zu betrachten sind.

Josef Weiser,
Heinz Fleidl

Einsatz des Kleinrelais D1 im Tastwahlblock moderner Telefonapparate

Der Aufbau, die Funktion und die Eigenschaften des Kleinrelais D 1 (Bild 1) sind mit einigen Anwendungen schon früher beschrieben worden [1]. In diesem Aufsatz wird über Tests für den Einsatz im Tastentelefon berichtet. Kennzeichnend für diese Last ist eine Kombination von Induktivitäten und Kabel.

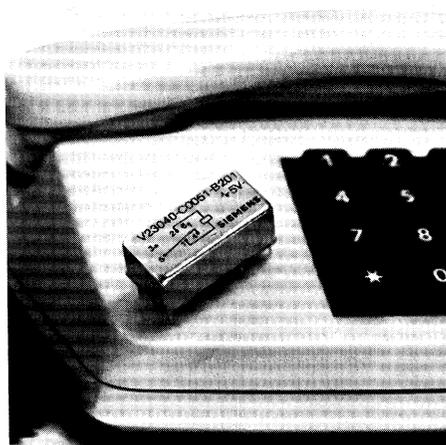


Bild 1 Das Kleinrelais D1 im Verhältnis zu einem Telefonapparat

Prüfung

Die Prüfungen wurden im Prüfgestell EPRG 1/20 [2, 3] durchgeführt, wobei die Bedingungen der FTZ-Vornorm 211 AN 1 [4] für geschützte Kontakte zugrunde lagen. Mit der aufgebauten Lastschaltung (**Bild 2**) sollte die Prüfung dem praktischen Einsatzfall nicht nur möglichst nahe kommen, sondern es sollte auch eine gewisse »worst-case«-Bedingung, gegeben durch die Kabellänge, dargestellt werden. Aus

den **Bildern 3** und **4** sind die Last- und Prüflingskarte ohne das Kabel für die 20 Prüflinge zu ersehen.

Prüfbedingungen und Versuchsdurchführung

Die in **Bild 2** gezeigte anwendungsbezogene Lastschaltung für einen Prüfling besteht aus zwei Relaispulen mit einer Gesamtinduktivität von etwa 2 H, einem mit 600 Ω abgeschlossenen Ortsleitungsübertrager (OLÜ) und 100 m Übertragungskabel.

Mit einem Varistor, der im Tastentelefon die Funktion des Blitzschutzes hat, wurden die Prüflingskontakte überbrückt. Bei einer Lastspannung von 60 V und einem Laststrom von etwa 40 mA wurden die insgesamt 20 Prüflingsrelais je zur Hälfte mit dem Anker als Kathode und als Anode betrieben. Die Schaltfrequenz bei diesen Versuchen betrug 6,25 Hz.

Als Prüf- bzw. Entscheidungskriterien für die Lebensdauerversuche kamen folgende Parameter in Betracht:

- Fehleranzeige für den Durchgangswiderstand (R_D):
Schwellwert: 10 Ω (Steuerkreisbedingung nach [1],
- Fehleranzeige für Nicht-Schließen (NS):
Schwellwert: 100 k Ω
- Fehleranzeige für Nicht-Öffnen (NÖ):
Schwellwert: 100 k Ω

Vor dem Dauerversuch und nach 1, 2, 4 und 5 $\cdot 10^6$ Schaltspielen wurden in

Dr. Josef Weiser, Siemens AG,
Bereich Kommunikationstechnik,
Zentrallaboratorium, München

Ing. (grad) Heinz Fleidl, Siemens AG,
Bereich Kommunikationstechnik,
Zentrallaboratorium, München